

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-133450

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

G02F 1/1343

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 10-245400

(71)Applicant : LG ELECTRON INC

(22)Date of filing : 31.08.1998

(72)Inventor : KIM WOONG-KWON
HONG EUN PYO

(30)Priority

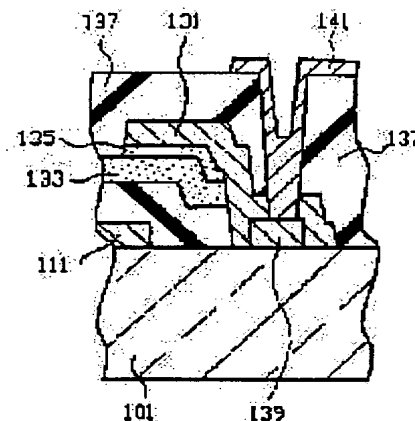
Priority number : 97 9746014 Priority date : 05.09.1997 Priority country : KR

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To expand the contact areas between pixel electrodes and drain electrodes by forming a gate insulating layer to expose dummy drain electrodes from an insulating material and forming the drain electrodes in contact with these dummy drain electrodes.

SOLUTION: Indium tin oxide(ITO) 1 is formed on a protective layer 137. The pixel electrodes 141 are connected to the drain electrodes 131 and are connected through drain contact holes to the dummy drain electrodes 139. The pixel electrodes 141 are connected to auxiliary capacitor electrodes through auxiliary capacitor contact holes. Then, the charges accumulated in the auxiliary capacitors formed by superposing of the auxiliary capacitor electrodes and part of gate wiring are leaked by the flow of time. The surfaces of the drain electrodes 131 are removed and the surfaces of the dummy drain electrodes 139 and the etched flanks of the drain electrodes 131 are brought into contact with the pixel electrodes 141. Then, the contact areas between the drain electrodes and the pixel electrodes are increased and the contact parts exhibit low contact resistance.



LEGAL STATUS

[Date of request for examination]

09.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-133450

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁵

識別記号

F I

G 0 2 F 1/1343

G 0 2 F 1/1343

1/136

5 0 0

1/136

5 0 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 D

21/336

6 1 6 K

6 1 7 M

審査請求 未請求 請求項の数29 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平10-245400

(22) 出願日 平成10年(1998) 8月31日

(31) 優先権主張番号 1 9 9 7 - 4 6 0 1 4

(32) 優先日 1997年 9月 5日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 590001669

エルジー電子株式会社

大韓民国, ソウル特別市永登浦区汝矣島洞
20

(72) 発明者 金 雄植

大韓民国京畿道安養市東安区虎溪洞533番

地エルジー電子株式会社第1研究団地L C
D研究所内

(72) 発明者 洪 銀杓

大韓民国京畿道安養市東安区虎溪洞533番

地エルジー電子株式会社第1研究団地L C
D研究所内

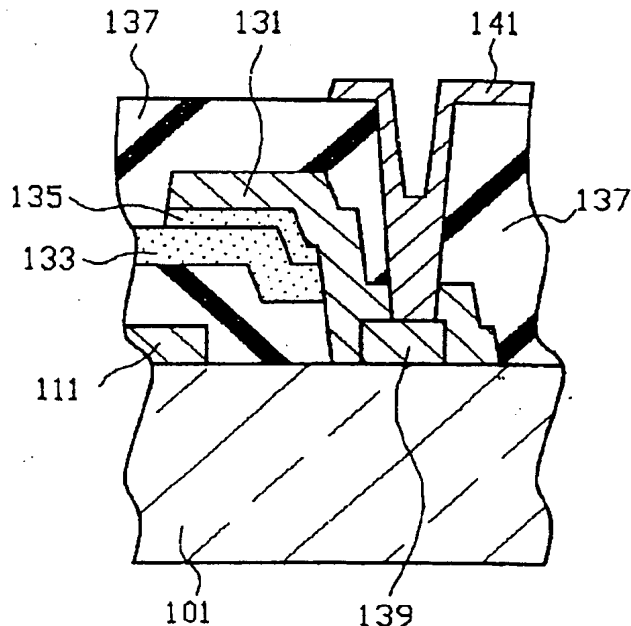
(74) 代理人 弁理士 稲葉 良幸 (外2名)

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 BCBのような有機物質をパターンニングしてドレインコンタクトホールを形成する際の前記ドレイン電極131の露出された部分を除去する時、前記画素電極141との前記ドレイン131間の接触面積が減ることによって発生する問題点を解決した。

【解決手段】 前記ドレイン電極131に前記ダミードレイン電極139を加えて形成して前記ドレイン電極の露出された部分が除去されても前記ダミードレイン電極139の表面の接触を通して前記画素電極141との前記ドレイン131との間の接触面積を維持することが出来る。従って、画素電極141とドレイン電極131の低い接触抵抗を得ることが出来、高い接触抵抗のために発生するしみのような問題のない液晶表示装置を提供することが出来る。



【特許請求の範囲】

【請求項1】 基板上にダミードレイン電極を形成し、前記ダミードレイン電極上に絶縁物質を蒸着し、前記絶縁物質をパターンニングして前記ダミードレイン電極を露出させるゲート絶縁層を形成し、前記ダミードレイン電極に接触するドレイン電極を形成する段階とを備えることを特徴とする液晶表示装置の製造方法。

【請求項2】 前記基板を覆う保護層を形成し、前記ドレイン電極及び前記ダミードレイン電極を露出させるドレインコンタクトホールを形成し、前記保護層上に前記ドレインコンタクトホールを通して前記ドレイン電極及び前記ダミードレイン電極にコンタクトする画素電極を形成し、前記ダミードレイン電極の形成においてゲートを一緒に形成し、前記ゲート絶縁層の形成においてゲート配線を覆い、前記ドレイン電極の形成において前記ドレイン電極と対向するようにソース電極を一緒に形成する段階とを加えて含むことを特徴とする、請求項1記載の液晶表示装置の製造方法。

【請求項3】 前記ゲート配線は、第1金属層及び第2金属層で形成することを特徴とする、請求項2記載の液晶表示装置の製造方法。

【請求項4】 前記第1金属層は、アルミニウム層で形成することを特徴とする、請求項3記載の液晶表示装置の製造方法。

【請求項5】 前記第2金属層は、モリブデン、タンタル、クローム、又はアンチモンの中、少なくとも一つを含むことを特徴とする、請求項3記載の液晶表示装置の製造方法。

【請求項6】 前記保護層は、BCB(Benzo-Cyclo-Butene)層で形成することを特徴とする、請求項2記載の液晶表示装置の製造方法。

【請求項7】 前記ゲート絶縁層上に半導体層を形成し、前記ゲート配線の形成において、前記ゲート配線に連結されるゲート電極を一緒に形成し、前記ゲート絶縁層の形成において、前記ゲート絶縁層は前記ゲート電極を覆い、前記ソース電極の形成において、前記ソース電極に連結されるソース配線及び前記ゲート配線の一部に重畳される保持容量電極を一緒に形成し、前記ドレインコンタクトホールの形成において、前記保持容量電極を露出させる保持容量コンタクトホールを一緒に形成し、前記画素電極の形成において、前記画素電極は前記保持容量コンタクトホールを通して前記保持容量電極にも一緒に接触することを特徴とする、請求項2記載の液晶表示装置の製造方法。

【請求項8】 前記ダミードレイン電極は、モリブデン、タンタル、クローム、又はアンチモンの中、少なくとも一つを含むことを特徴とする、請求項1記載の液晶表示装置の製造方法。

【請求項9】 基板と、前記基板上に形成されたダミードレイン電極と、前記ダミードレイン電極を覆うドレイン電極と、前記ドレイン電極を覆う保護層と、前記ドレイン電極及び前記ダミードレイン電極を露出させるドレインコンタクトホールと、前記ドレインコンタクトホールを通して前記ドレイン電極及び前記ダミードレイン電極に接触する画素電極とを備えることを特徴とする、液晶表示装置。

【請求項10】 前記基板上に形成されたゲート配線と、前記ゲート配線を覆うゲート絶縁層と、前記ドレイン電極に対向するソース電極と、前記ソース電極に連結されたソース配線とを加えて含むことを特徴とする、請求項9記載の液晶表示装置。

【請求項11】 前記保護層は、BCB(BenzoCycloButene)を含むことを特徴とする、請求項9記載の液晶表示装置。

【請求項12】 前記ダミードレイン電極は、モリブデン、タンタル、クローム、又はアンチモンの中、少なくとも一つを含むことを特徴とする、請求項9記載の液晶表示装置。

【請求項13】 前記ゲート配線から延長するゲート電極と、前記ゲート電極を覆うゲート絶縁層上に形成された半導体層と、前記ゲート電極を覆う前記ゲート絶縁層において、前記半導体層の第1部に接触されている前記ソース電極と、前記半導体層の第2部に接触されている前記ドレイン電極とを加えて含むことを特徴とする、請求項10記載の液晶表示装置。

【請求項14】 前記ゲート配線は、第1金属層と第2金属層を含むことを特徴とする、請求項10記載の液晶表示装置。

【請求項15】 前記第1金属層はアルミニウムを含むことを特徴とする、請求項14記載の液晶表示装置。

【請求項16】 前記第2金属層は、モリブデン、タンタル、クローム、又はアンチモンの中、少なくとも一つを含むことを特徴とする、請求項14記載の液晶表示装置。

【請求項17】 基板と、前記基板上に形成されたゲート電極及びダミー電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたトランジスタ半導体層と、

前記ゲート絶縁層及び前記トランジスタ半導体層上に形

成されたソース電極、前記ダミー電極に接触するドレイン電極と、
前記基板、前記ソース電極及び前記ドレイン電極上に形成された保護層と、
前記ダミー電極に接触し、前記保護層上に形成された画素電極と、から構成されたことを特徴とする、液晶表示装置。

【請求項18】 前記基板上にゲート配線を含んで形成し、
前記ゲート絶縁層の一部が前記ゲート配線を覆うことを特徴とする、請求項17記載の液晶表示装置。

【請求項19】 前記ゲート配線及び前記ゲート絶縁層の一部上に形成された容量半導体層を加えて含むことを特徴とする、請求項18記載の液晶表示装置。

【請求項20】 前記ゲート配線、前記ゲート絶縁層の一部及び前記容量半導体層上に形成された補助容量電極を加えて含むことを特徴とする、請求項19記載の液晶表示装置。

【請求項21】 前記画素電極は、前記補助容量電極に接触することを特徴とする、請求項20記載の液晶表示装置。

【請求項22】 前記画素電極は、前記保護層のドレインコンタクトホールを通して前記ドレイン電極及び前記ダミー電極に接触することを特徴とする、請求項20記載の液晶表示装置。

【請求項23】 前記画素電極は、前記保護層の補助容量コンタクトホールを通して前記補助容量電極に接触することを特徴とする、請求項20記載の液晶表示装置。

【請求項24】 基板上にゲート電極及びダミー電極を形成し、
前記ゲート電極上にゲート絶縁層を形成し、
前記ゲート絶縁層上にトランジスタ半導体層を形成し、
前記ゲート絶縁層及び前記トランジスタ半導体層上にソース電極及び前記ダミー電極に接触するドレイン電極を形成し、
前記基板、前記ソース電極及び前記ドレイン電極上に保護層を形成し、
前記ダミー電極に接触し、前記保護層上に画素電極を形成する段階から構成されることを特徴とする、液晶表示装置の製造方法。

【請求項25】 前記基板上に前記ゲート電極及び前記ダミー電極の形成及びゲート絶縁層の形成において、
前記基板上に前記ゲート配線を一緒に形成し、前記ゲート絶縁層の一部がゲート配線を覆うように形成することを特徴とする、請求項24記載の液晶表示装置の製造方法。

【請求項26】 前記ゲート絶縁層上の前記トランジスタ半導体層の形成において、
前記ゲート絶縁層の一部上に容量半導体層を一緒に形成することを特徴とする、請求項25記載の液晶表示装置

の製造方法。

【請求項27】 前記ゲート絶縁層及び前記トランジスタ半導体層上の前記ソース電極及び前記ドレイン電極の形成において、

前記容量半導体層、前記ゲート配線及び前記ゲート絶縁層の一部上に保持容量電極を一緒に形成することを特徴とする、請求項26記載の液晶表示装置の製造方法。

【請求項28】 前記保護層上に、又前記ダミー電極に接触する前記画素電極の形成において、

前記保持容量電極にも前記画素電極が接触するように形成することを特徴とする、請求項27記載の液晶表示装置の製造方法。

【請求項29】 前記保護層上に、又前記ダミー電極に接触する前記画素電極の形成において、

前記保護層にドレインコンタクトホール、又前記保護層に保持容量コンタクトホールを形成することを特徴とする、請求項27記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、アクティブパネルを含む液晶表示装置に関する。特に、本発明は、薄膜トランジスタのドレイン電極と画素電極との間で低い接触抵抗を有する液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】今まで画像情報を画面に示す画面表示装置の中、ブラウン管表示装置(Cathode Ray Tube;CRT)が多く用いられている。しかし、最近には薄型及び軽量という長所のため、いずれの場所でも容易に使用が出来る薄膜型の平版表示装置と代替されつつある。特に、液晶表示装置は、表示解像度が他の平版装置より優れており、動画像を具現する際の反応速度が早い為、最も活発な研究開発が行われている。

【0003】液晶表示装置の駆動原理は、液晶の光学的異方性及分極性質を利用したことである。液晶分子は細長く、方向性及分極性を有している。このような性質を利用して液晶分子に人為的に電磁気場を印加することで、配列方向を調節することが出来る。液晶分子の配向方向と、液晶の光学的異方性とを用いて光を透過、又は遮断することが出来る。現在には、優れた画質の特性と自然色を提供するマトリクス状で配列された薄膜トランジスタと、前記薄膜トランジスタに連結された画素電極とを含むアクティブマトリクス液晶表示装置が広く使用されている。

【0004】従来の液晶表示装置の構造について、次の如く説明する。一般の液晶表示装置は、様々な素子が設けられた二つのパネルが対向し、その間に液晶層が介された形状である。一般にカラーフィルターパネルと呼ばれる第1パネルには、色を現す複数の素子が構成されている。

【0005】前記第1パネル(カラーフィルターパネル)

には、マトリクス状に配列された画素の位置に合わせて赤(R)、緑(G)、青(B)のカラーフィルターの順に透明基板上に配列されている。前記カラーフィルターの間には、網模様の細いブラックマトリクスが形成されている。それは、他のカラーフィルター間の境界を明確に区分し、混合色が発生することを防止する。又、前記カラーフィルター上に共通電極が形成されている。前記共通電極は、前記液晶に電気場を印加するための一方の電極としての役割をする。

【0006】従来の液晶表示装置の他方の前記第2パネルは、スイッチ素子と、前記液晶に電界を印加するための導電性の配線とを含む。前記第2パネルをアクティブパネルと称する。前記アクティブパネルには、透明基板上に前記画素の位置に合わせて複数の画素電極が形成されている。前記画素電極は、前記カラーフィルターパネル上に形成されている共通電極と対向して、液晶に電気場を印加する他方の電極としての役割をする。

【0007】前記複数の画素電極の水平配列方向に沿って複数の信号配線が形成されており、又垂直配列方向に沿って複数のデータ配線が形成されている。前記各々の画素電極の一部には、前記画素に電気場信号を印加するための前記薄膜トランジスタが形成されている。前記薄膜トランジスタのゲート電極は信号配線の一つに対応するように連結されており、ソース電極はデータ配線の一つに対応するように連結されている。前記信号配線を“ゲート配線”とも称し、前記データ配線を“ソース配線”とも称する。前記薄膜トランジスタのドレイン電極は、前記画素電極に連結されている。又、前記ゲート配線及び前記ソース配線の端部には、外部から印加される信号を受け取るためのゲートパッド及びソースパッドが各々形成されている。

【0008】前記第1、第2のパネルは、所定の間隔(セルギャップ; Cell Gapと称する)を隔てて対向されており、前記両パネル間のセルギャップに液晶物質が封入されている。又、各々の前記パネルの外側部にはパネルからの光を選択的に透過させるための偏光板が形成されている。従って、液晶表示装置の液晶パネルが完成される。

【0009】前記液晶パネルの製造工程は様々であり、その構造も多様である。特に、薄膜トランジスタを含むアクティブパネルを製造するには、追加的の工程が要求される。又、前記アクティブパネルを検査するための短絡配線を有するアクティブパネルの製造方法は、もっと複雑である。このように複雑な製造工程によって製品の性能が決定されるため、可能な限り工程が簡単であれば、不良が発生する確率が少なくなる。さらに、前記アクティブパネルには、液晶表示装置の性能を決定する重要な素子が多く形成されているため、前記アクティブパネルの製造工程を単純化させることが良い製品を生産するのに最も重要である。

【0010】図1は従来の液晶表示装置を示すアクティブパネルの断面図であり、図2乃至図7は図1のII-II線に沿った従来のアクティブパネルの製造方法を説明するための断面図である。図1及び図2乃至図7を参照して短絡配線を有する従来のアクティブパネルの製造方法を以下に説明する。

【0011】非アルカリ透明基板のような基板1上にアルミニウム、又はアルミニウム合金等を蒸着して薄いアルミニウム層を形成する。前記薄いアルミニウム層を第1マスク工程でパターンして図1及び図2に示すように、マトリクス状で配列された画素配列の行配列方向に沿って延長される低抵抗ゲート配線13aを形成する。

【0012】前記基板1及び前記低抵抗ゲート配線13a上にクロム(Cr)、モリブデン(Mo)、タンタル(Ta)、又はアンチモン(Sb)の中の一つを含む金属層を蒸着する(図1及び図2には図示略)。第2パターンニング工程で前記金属層をパターンしてゲート電極11及びゲート配線13を形成する。前記ゲート配線13は、前記低抵抗ゲート配線13aを覆う。前記ゲート電極11は、前記ゲート配線13から分岐され、前記画素の一隅部に形成されている(図3)。

【0013】図4に示すように、前記基板1及び前記ゲート配線13上に窒化シリコン、又は酸化シリコンのような第1無機物質を蒸着してゲート絶縁層17を形成する。続いて、その上に純粋アモルファスシリコンのような真性半導体物質と、不純物が添加されたアモルファスシリコンのような不純物半導体を連続的に蒸着する。第3マスク工程で前記純粋、不純物半導体物質をパターンして半導体層33及び不純物半導体層35を形成する。

【0014】図5に示すように、前記不純物半導体層35が形成された基板上にクロムを蒸着し、第4マスク工程でパターンしてソース電極21、ドレイン電極31、補助容量電極51及びソース配線23を形成する。前記ソース電極21は、前記半導体層33及び不純物半導体層35を介して前記ゲート電極11の一方に重畳されている。前記ドレイン電極31は前記ソース電極11と対向し、前記ゲート電極11の他方に重畳される。前記ソース配線23は、列配列方向に配列された前記ソース電極21に連結される。前記不純物半導体層35は、前記ソース電極21及び前記ドレイン電極31をマスクとして二領域で分離形成されている。前記不純物半導体層35は、前記ソース電極21及びドレイン電極31に接触してオミック接触されている。前記補助容量電極51は、前記補助容量電極21の上にある前記ゲート絶縁層17を介して前記ゲート配線13の一部に重畳するように形成されている。図5に示すように、前記補助容量電極51及び重畳されたゲート配線13は、前記液晶容量器に貯蔵された電荷の漏れを補充するために補助容量を形成する。

【0015】前記基板の全面上にBCB(BenzoCycloButene)のような有機絶縁物質を塗布して保護層37を形成す

る。そして、第5マスク工程で前記保護層37をパターンしてドレインコンタクトホール71及び補助容量コンタクトホール81を形成する。図6に示すように、前記ドレインコンタクトホール71は、前記ドレイン電極31の表面の一部を露出させ、前記補助容量コンタクトホール81は前記補助容量電極51の表面の一部を露出させる。

【0016】前記保護層37上にITO(Indium Tin Oxide)を蒸着し、第6マスク工程でパターンして画素電極41を形成する。図7に示すように、前記画素電極41は、前記ドレインコンタクトホール71を通して前記ドレイン電極31に連結され、又、前記補助容量コンタクトホール81を通して前記補助容量電極51に連結されている。従って、前記補助容量電極51と前記ゲート配線13の一部が重畳されて形成された補助容量器に貯蔵された電荷は、時間の流れに沿って漏れる。

【0017】

【発明が解決しようとする問題】従来の液晶表示装置では高開口率を実現するための方法として前記保護層37を有機物質で構成した。一般に、有機保護層を食刻するためにフッ素を含むエッチャントを使用して前記ドレインコンタクトホール71と前記補助容量コンタクトホール81を形成する。前記ドレイン電極31と補助容量電極51は前記フッ素を含むエッチャントによって食刻される。したがって、前記コンタクトホール71及び81を通して前記ドレイン電極31と前記補助容量電極51の食刻された側面が露出される。その後、ITOを蒸着して画素電極41を形成する。図8及び図9に示すように、食刻された前記ドレイン電極31と前記補助容量電極51の側面は画素電極41に接触されている。

【0018】前記補助容量コンタクトホール81は、正常的の接触を維持するためにはそのサイズが割合に大きいので、図9に示すように低く接触抵抗を維持する。しかし、図8に示すように、前記ドレインコンタクトホール71は非常に小さい。前記ドレイン電極31の表面が全部食刻され、側面だけが露出されて画素電極41と接触すると、接触面積が狭過ぎて接触抵抗が大きくなる。その結果、画面を現す電気信号容量を正常に印加することができないため、画面にしみが発生してしまう。

【0019】実際に、12.1インチXGA級であるBCBを保護層として採択した液晶表示装置に縞模様のしみが現れる場合、原因を分析するための薄膜トランジスタの特性を実験した。その結果、しみのない部分の薄膜トランジスタの電圧曲線には、何の異常はなかった。しかし、縞模様のしみのある部分の薄膜トランジスタには、ソース電極とドレイン電極間の電流曲線に異常があった。又、ドレイン電極に掛かる抵抗値を計算した結果、しみを防ぐためには正常抵抗値との差が1.5MΩ以下が望ましい。更に、正常抵抗値との差が3MΩ以上になるとしみが現れることが分かった。つまり、液晶パネルにしみが現れる原因中の一つは、正常抵抗値より特に大きくなったドレ

イン電極の抵抗値にあることが分かり、これはドレイン電極31と画素電極41の接触抵抗値が高いためであることが分かった。

【0020】本発明は、保護層として有機物質を有する液晶表示装置において、前記画素電極と前記ドレイン電極間の接触面積を拡大することを目的とする。

【0021】又、本発明は、前記画素電極と前記ドレイン電極間の接触面積を拡大することによって前記画素電極と前記ドレイン電極間の接触抵抗を減らすことを目的とする。

【0022】

【課題を解決するための手段】本発明は、基板上にダミードレイン電極を形成し、前記ダミードレイン電極上に絶縁物質を蒸着する段階と、前記ドレイン電極を露出させるために前記絶縁物質をパターンしてゲート絶縁層を形成する段階と、前記ダミードレイン電極に接触するドレイン電極を形成する段階とを含む液晶表示装置の製造方法を提供する。

【0023】又、本発明は、基板と、前記基板上に形成されたダミードレイン電極と、前記ダミードレイン電極を覆うドレイン電極と、前記ドレイン電極を覆う保護層と、前記ドレイン電極と前記ダミードレイン電極を露出させるドレインコンタクトホールと、そして前記ドレインコンタクトホールを通して前記ドレイン電極と前記ダミードレイン電極に接触する画素電極とを含む液晶表示装置を提供する。

【0024】又、本発明は、基板と、前記基板上に形成されたゲート電極及びダミー電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたトランジスタ半導体層と、前記ゲート絶縁層及びトランジスタ半導体層上に形成されたソース電極及び前記ダミー電極に接触するドレイン電極と、前記基板、前記ソース電極及び前記ドレイン電極上に形成された保護層と、前記保護層上に形成されて前記ダミー電極と接触する画素電極とを含む液晶表示装置を提供する。

【0025】又、本発明は、基板上にゲート電極及びダミー電極を形成する段階と、前記ゲート電極上にゲート絶縁層を形成する段階と、前記ゲート絶縁層上にトランジスタ半導体層を形成する段階と、前記ゲート絶縁層及び前記トランジスタ半導体層上にソース電極及び前記ダミー電極と接触するドレイン電極を形成する段階と、前記基板、前記ソース電極及び前記ドレイン電極上に保護層を形成する段階と、前記保護層上に前記ダミー電極と接触する画素電極を形成する段階を含む液晶表示装置の製造方法を提供する。

【0026】

【発明の実施の形態】本発明による実施例について詳細に説明する。本発明を示す平面図の図10及び図10のV-V線に沿った本発明の製造方法を示す断面図の図11-図16を参照して説明する。

【0027】ガラス基板101（一般に透明ガラス物質から形成される）上にアルミニウム（Al）、又はアルミニウム合金等を蒸着してアルミニウム層を形成する。前記アルミニウム層は第1マスク工程でパターンして低抵抗ゲート配線113aを形成する。図11に示すように、前記低抵抗ゲート配線113aはマトリクス状で配列された列方向の画素に沿って延長されている。

【0028】図12に示すように、前記基板101及び前記低抵抗ゲート配線113a上にクローム（Cr）、モリブデン（Mo）、タンタル（Ta）、又はアンチモン（Sb）の中の一つを含む金属層を蒸着する（図示せず）。前記金属層を第2マスク工程でパターンしてゲート電極111、ゲート配線113、そしてダミードレイン電極139を形成する。前記低抵抗ゲート配線113aを覆う前記ゲート配線113を形成する。前記ゲート電極111は、前記ゲート配線113から分岐され、前記画素の一隅部に形成されている。前記ダミードレイン電極139は、今後形成されるドレイン電極の位置に形成されている。

【0029】図13に示すように、前記基板101及び前記ゲート配線113上に窒化シリコン、又は酸化シリコンのような第1無機物質を蒸着してゲート絶縁層117を形成する。その上に純粋アモルファスシリコンのような真性半導体物質と、不純物が添加されたアモルファスシリコンのような不純物半導体物質を連続に蒸着する。そして、第3マスク工程で前記真性、不純物半導体物質をパターンして半導体層133及び不純物半導体層135を形成する。前記ダミードレイン電極139を完全に露出させる。前記ゲート配線113は、前記ゲート絶縁層117、半導体物質133a及び不純物半導体物質135aによって覆われている。

【0030】図14に示すように、前記基板101及び前記不純物半導体層135上にクローム層を蒸着する。第4マスク工程で前記クローム層をパターンしてソース電極121、ドレイン電極131、補助容量電極151及びソース配線123を形成する。前記ソース電極121は前記ソース電極121と前記ゲート電極111と間に前記半導体層133及び不純物半導体層135を介して前記ゲート電極111の一方に重畳されている。前記ドレイン電極131は、前記ソース電極121と対向し、前記ゲート電極111の他方に重畳されて前記ダミードレイン電極139を覆っている。前記ソース配線123は、列方向に配列される複数の前記ソース電極121に連結されている。前記不純物半導体層135は前記ソース電極121及び前記ドレイン電極131をマスクとして二領域に分離されている。前記不純物半導体層135は、前記ソース電極121及び前記ドレイン電極131とオミック接触をなしている。前記補助容量電極151は、前記ゲート絶縁層117、前記半導体層133a及び前記不純物半導体層135aを介して前記ゲート配線113の一部に重畳されている。図14に示すように、前記補助容量電極151及び前記ゲート配線113の重畳された部分は、液晶容量から電

荷が漏れることを補充するための補助充電器を形成する。

【0031】全基板上にBCB（BenzoCycloButene）のような有機絶縁物質を塗布して保護層137を形成する。第5マスク工程で前記保護層137をパターンしてドレインコンタクトホール171及び補助容量コンタクトホール181を形成する。前記ドレインコンタクトホール171は前記ドレイン電極131の表面の一部を露出させ、前記補助容量コンタクトホール181は前記補助容量電極151の表面の一部を露出させる。前記ドレインコンタクトホール171が形成される時、前記ドレイン電極131は、前記保護層137のエッチングに使用されるエッチャントによってエッチングされる場合があるため、前記ドレイン電極131のエッチングされた面だけ露出させる。図15に示すように、前記ダミードレイン電極139の表面も露出される。

【0032】前記保護層137上にITO（Indium Tin Oxide）層を蒸着し、第6マスク工程でパターンして画素電極141を形成する。前記画素電極141は、前記ドレイン電極131と連結され、又前記ドレインコンタクトホール171を通して前記ダミードレイン電極139に連結されている。又、図16に示すように、前記画素電極141は前記補助容量コンタクトホール181を通して前記補助容量電極151に連結される。従って、前記補助容量電極151と前記ゲート配線113の一部が重畳して形成された前記補助容量に蓄積された電荷は、時間の流れによって漏れる。

【0033】図17に示すように、前記ドレイン電極131の表面が除去されている。前記ダミードレイン電極139の表面と前記ドレイン電極131の食刻された側面は、前記画素電極141に接触されている。従って、ドレイン電極と画素電極の接触面積は大きくなり、接触部分は低い接触抵抗を有する。

【0034】

【発明の効果】本発明は、BCBのような有機物質をパターンニングしてドレインコンタクトホール171を形成する際の前記ドレイン電極131の露出された部分を除去する時、前記画素電極141と前記ドレイン131間の接触面積が減ることによって発生する問題点を解決した。本発明において、前記ドレイン電極131に前記ダミードレイン電極139を加えて形成して前記ドレイン電極の露出された部分が除去されても前記ダミードレイン電極139の表面の接触を通して意図のとおり前記画素電極141と前記ドレイン131との間の接触面積を維持することが出来る。従って、画素電極141とドレイン電極131の低い接触抵抗を得ることが出来、高い接触抵抗のために発生するしみのような問題のない液晶表示装置を提供することが出来る。

【図面の簡単な説明】

【図1】 従来の液晶表示装置の構造を示す拡大平面図。

【図2】 従来の液晶表示装置の製造方法を示すための

11

図1のII-II線に沿った断面図。

【図3】 従来の液晶表示装置の製造方法を示すための図1のII-II線に沿った断面図（続き）。

【図4】 従来の液晶表示装置の製造方法を示すための図1のII-II線に沿った断面図（続き）。

【図5】 従来の液晶表示装置の製造方法を示すための図1のII-II線に沿った断面図（続き）。

【図6】 従来の液晶表示装置の製造方法を示すための図1のII-II線に沿った断面図（続き）。

【図7】 従来の液晶表示装置の製造方法を示すための図1のII-II線に沿った断面図（続き）。

【図8】 従来の液晶表示装置において、ドレイン電極と画素電極との間のコンタクト構造を示す断面図。

【図9】 従来の液晶表示装置において、保持容量電極と画素電極との間のコンタクト構造を示す断面図。

【図10】 本発明による液晶表示装置の構造を示す平面図。

【図11】 本発明による液晶表示装置の製造方法を示すための図10のV-V線に沿った断面図。

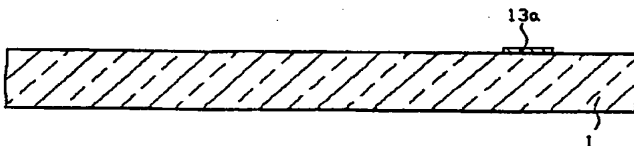
【図12】 本発明による液晶表示装置の製造方法を示すための図10のV-V線に沿った断面図（続き）。

【図13】 本発明による液晶表示装置の製造方法を示すための図10のV-V線に沿った断面図（続き）。

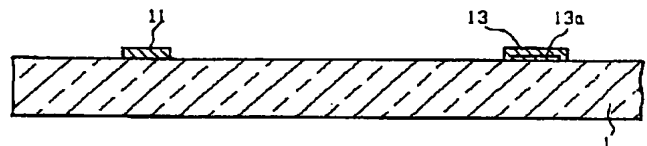
【図14】 本発明による液晶表示装置の製造方法を示すための図10のV-V線に沿った断面図（続き）。

【図15】 本発明による液晶表示装置の製造方法を示すための図10のV-V線に沿った断面図（続き）。 *

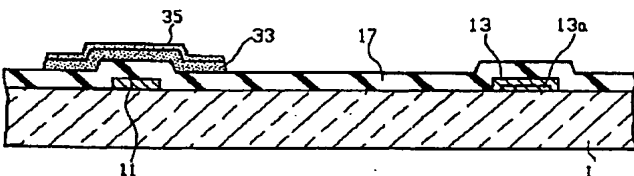
【図2】



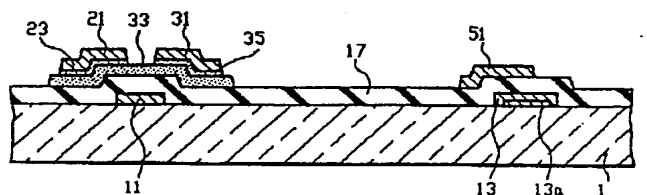
【図3】



【図4】



【図5】



*【図16】 本発明による液晶表示装置の製造方法を示すための図10のV-V線に沿った断面図（続き）。

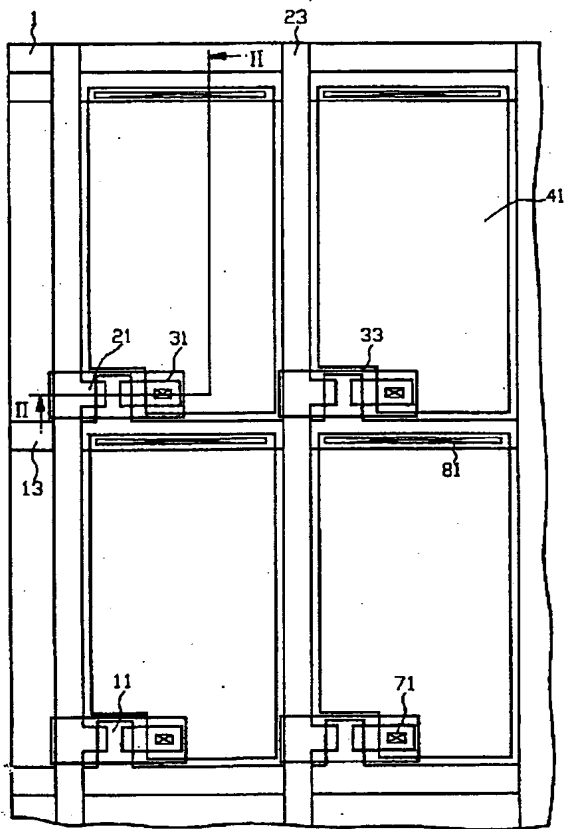
【図17】 本発明によるドレイン電極と画素電極との間のコンタクト構造を示す断面図。

【図18】 本発明による保持容量電極と画素電極との間のコンタクト構造を示す断面図。

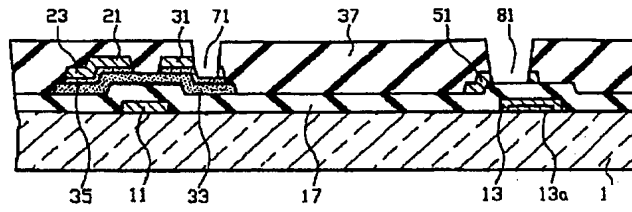
【符号の説明】

1、101	基板
11、111	ゲート電極
13、113	ゲート配線
13a、113a	低抵抗ゲート配線
15、115	ゲートパッド
17、117	ゲート絶縁層
21、121	ソース電極
23、123	ソース配線
25、125	ソースパッド
31、131	ドレイン電極
33、133	半導体層
35、135	不純物半導体層
37、137	保護層
139	ダーミドレイン電極
139a	低抵抗ダーミドレイン電極
41、141	画素電極
51、151	保持容量電極
71、171	ドレインコンタクトホール
81、181	保持容量コンタクトホール

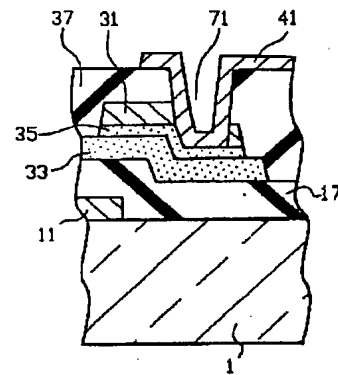
【図1】



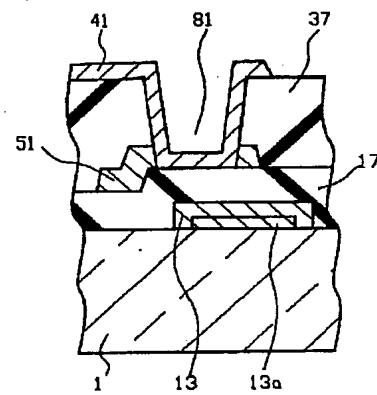
【図6】



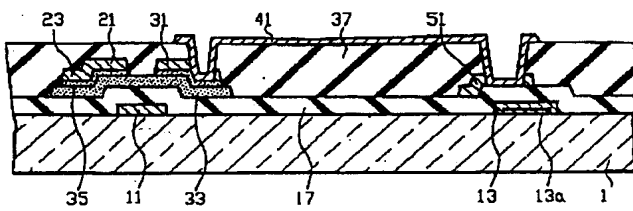
【図8】



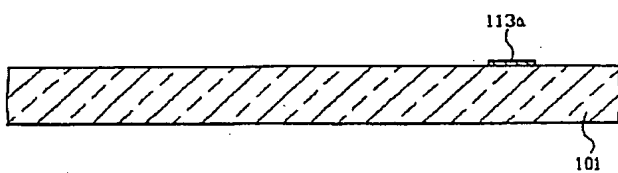
【図9】



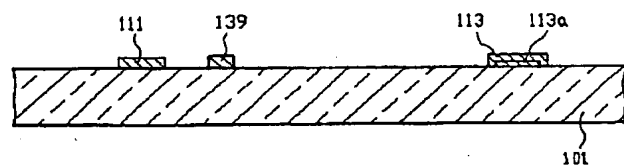
【図7】



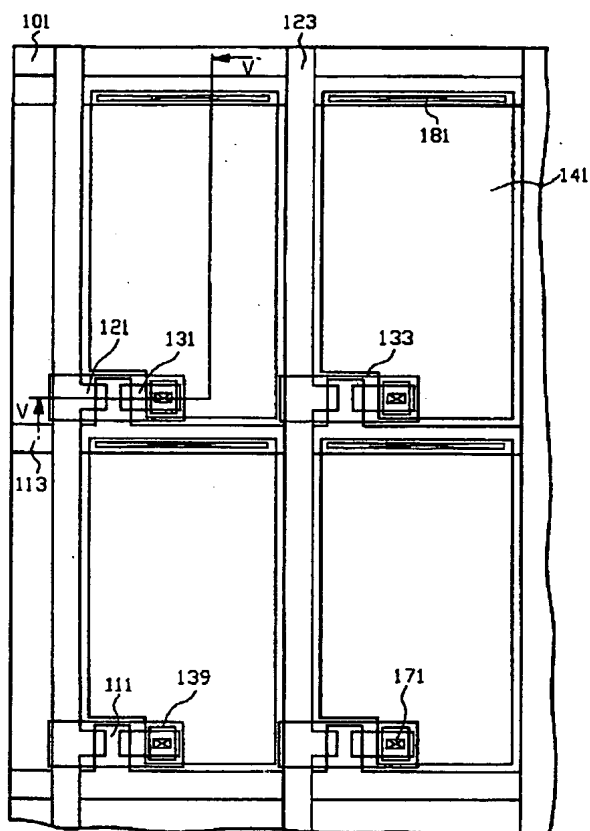
【図11】



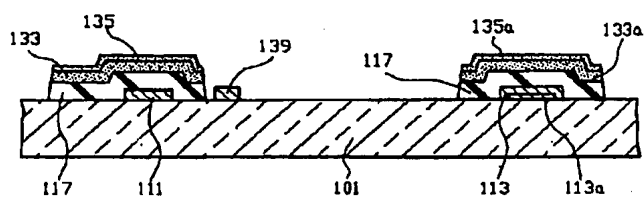
【図12】



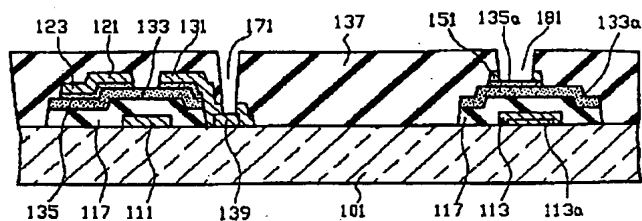
【図10】



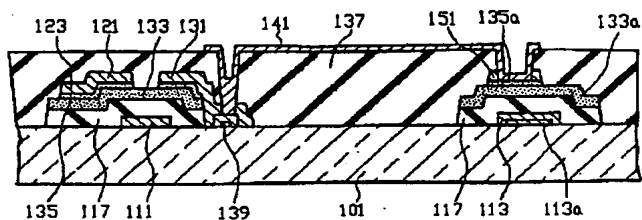
【図13】



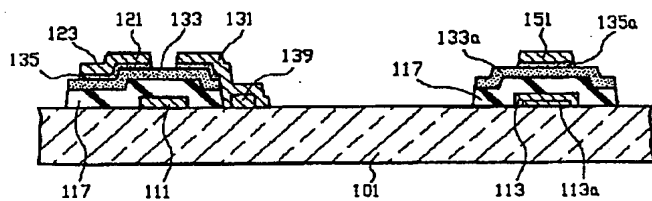
【図15】



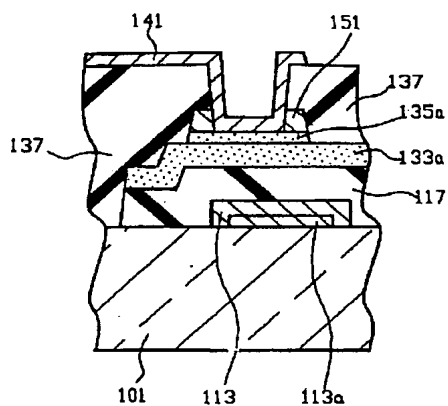
【図16】



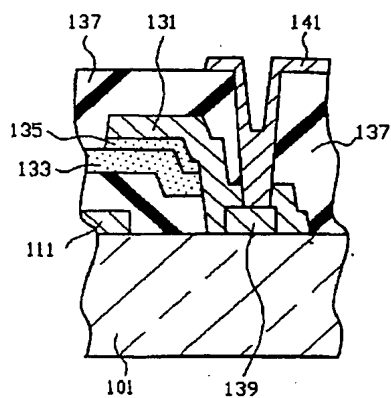
【図14】



【図18】



【図17】



(10)

特開平11-133450

フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

6 1 7 V